

特開平6-296129

(43) 公開日 平成6年(1994)10月21日

(51) Int. C.I. 5	識別記号	府内整理番号	F I	技術表示箇所
H03K 19/0175				
17/16	H	9184-5J		
17/687				
		8941-5J	H03K 19/00	101 F
		7436-5J	17/687	F
審査請求	未請求	請求項の数 22	OL	(全 13 頁) 最終頁に続く

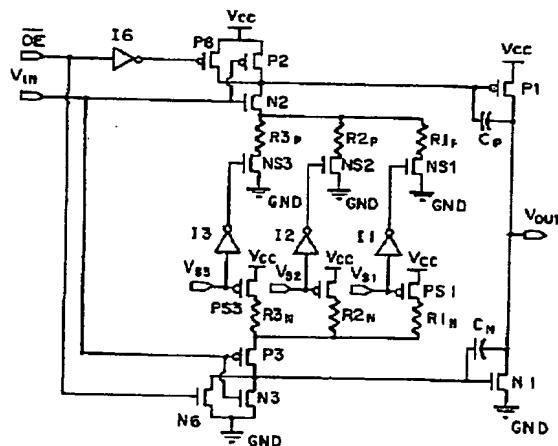
(21) 出願番号 特願平4-265777	(71) 出願人 591013469 ナショナル セミコンダクタ コーポレーション NATIONAL SEMICONDUCTOR CORPORATION アメリカ合衆国, カリフォルニア 95052, サンタ クララ, セミコンダクタ ドライブ 2900
(22) 出願日 平成4年(1992)10月5日	(72) 発明者 ジェイムズ・ビー・ブーマー アメリカ合衆国マーン州04105ファルマス, ハドロック・ロード・15
(31) 優先権主張番号 771391	(74) 代理人 弁理士 古谷 騨 (外2名)
(32) 優先日 1991年10月3日	
(33) 優先権主張国 米国(US)	

## (54) 【発明の名称】エッジ速度を選択できるCMOS出力バッファ回路

## (57) 【要約】 (修正有)

【目的】出力信号の高電位レベル低電位レベル間の遷移の異なる立ち上り及び立ち下がり時間を選択できるようにし、出力バッファ回路で発生する雑音を最小にする。

【構成】複数のプルダウンプリドライバ抵抗器R1n, R2n, R3nがプルダウンプリドライバ回路の並列経路に接続される。複数の異なる立ち下がり時間を得るために、各抵抗値は低速で出力プルダウンドライバトランジスタN1をターンオンする。スイッチトランジスタPS1, PS2, PS3は、それぞれ異なるプルダウンプリドライバ抵抗器R1n, R2n, R3nを含む並列経路を選択するための各制御入力Vs1, Vs2, Vs3を有する。プルアップ側も同様である。異なる立ち上がり・立ち下がり時間は、出力Voutでの出力信号の低・高電位レベル間の遷移に対しデジタル的にアドレスして選択される。



## 【特許請求の範囲】

【請求項1】 出力 ( $V_{out}$ ) に接続された出力プルアップドライバ (P1) と出力プルダウンドライバ (N1) と、前記出力プルアップドライバに接続されたプルアッププリドライバ段 (P2, N2) と、前記出力プルダウンドライバに接続されたプルダウンプリドライバ段 (P3, N3) とを有するCMOS出力バッファ回路に置いて、

前記プルダウンプリドライバ段に接続され、前記出力 ( $V_{out}$ ) で出力信号が高電位レベルから低電位レベルへ遷移する立ち下がり時間を制御するために前記出力プルダウンドライバのターンオンを低速化するように選択された抵抗値を有する少なくとも1個のプルダウンプリドライバ抵抗器 (Rn) を備えたことを特徴とするCMOS出力バッファ回路。

【請求項2】 前記プルダウンプリドライバ段の並列経路に接続され、前記出力 ( $V_{out}$ ) で出力信号が高電位レベルから低電位レベルへ遷移する選択された異なる立ち下がり時間で前記出力プルダウンドライバのターンオンを低速化するように選択された異なる抵抗値を有する複数のプルダウンプリドライバ抵抗器 (R1n, R2n, R3n) と、

前記プルダウンプリドライバ抵抗器の並列経路及び対応する立ち下がり時間の異なる一つを選択するための第一のエッジ速度スイッチ手段とを備えた請求項1記載の出力バッファ回路。

【請求項3】 前記第一のエッジ速度スイッチ手段が、それぞれの前記プルダウンプリドライバ抵抗器 (R1n, R2n, R3n) にそれぞれ直列に接続された複数のプルダウンプリドライバスイッチ素子 (PS1, PS2, PS3) を備え、該スイッチ素子が、前記プルダウンプリドライバ抵抗器の並列経路及び対応する立ち下がり時間の一つをそれぞれ選択するためのそれぞれの制御信号入力 ( $V_{s1}, V_{s2}, V_{s3}$ ) を有する請求項2記載の出力バッファ回路。

【請求項4】 前記出力と前記出力プルダウンドライバ (N1) のゲート接続点との間に接続され、前記出力プルダウンドライバのターンオンを低速化するために前記プルダウンプリドライバ抵抗器 (Rn) と協同して所望のRC時定数を与えるように選択されたキャパシタンス値を有するプルダウンフィードバックコンデンサ (Cn) を備えた請求項1記載の出力バッファ回路。

【請求項5】 前記プルアッププリドライバ段に接続され、前記出力 ( $V_{out}$ ) で出力信号が低電位レベルから高電位レベルへ遷移する立ち上がり時間を制御するために前記出力プルアップドライバのターンオンを低速化するように選択された抵抗値を有する少なくとも1個のプルアッププリドライバ抵抗器 (Rp) を備えた請求項1記載の出力バッファ回路。

【請求項6】 前記プルアッププリドライバ段の並列経

路に接続され、前記出力 ( $V_{out}$ ) で出力信号が低電位レベルから高電位レベルへ遷移する選択された異なる立ち下がり時間で前記出力プルアップドライバのターンオンを低速化するように選択された異なる抵抗値を有する複数のプルアッププリドライバ抵抗器 (R1p, R2p, R3p) と、

前記プルアッププリドライバ抵抗器の並列経路及び対応する立ち上がり時間の異なる一つを選択するための第二のエッジ速度制御手段とを備えた請求項5記載の出力バッファ回路。

【請求項7】 前記第二のエッジ速度制御手段が、それぞれの前記プルアッププリドライバ抵抗器 (R1p, R2p, R3p) にそれぞれ直列に接続された複数のプルアッププリドライバスイッチ素子 (NS1, NS2, NS3) を備え、該スイッチ素子が、前記プルダウンプリドライバ抵抗器の並列経路及び対応する立ち上がり時間の一つをそれぞれ選択するためのそれぞれの制御信号入力 ( $V_{s1}, V_{s2}, V_{s3}$ ) を有する請求項6記載の出力バッファ回路。

【請求項8】 前記出力と前記出力プルアップドライバ (P1) のゲート接続点との間に接続され、前記出力プルアップドライバのターンオンを低速化するために前記プルアッププリドライバ抵抗器 (Rp) と協同して所望のRC時定数を与えるように選択されたキャパシタンス値を有するプルアップフィードバックコンデンサ (Cp) を備えた請求項5記載の出力バッファ回路。

【請求項9】 出力プルアップドライバ、出力プルダウンドライバ、前記出力プルアップドライバに接続されたプルアッププリドライバ段、及び前記出力プルダウンドライバに接続されたプルダウンプリドライバ段を有する出力バッファ回路の出力で高電位レベル及び低電位レベル間の遷移のエッジ速度を制御する方法において、前記プルダウンプリドライバ段の選択できる並列経路に複数の異なるプルダウンプリドライバ抵抗器を挿入し、前記出力で出力信号が高電位レベルから低電位レベルへ遷移するための選択された異なる立ち下がり時間で前記出力プルダウンドライバのターンオンを低速化するため前記選択できる異なる並列経路間で選択し、スイッチングすることを備えた方法。

【請求項10】 前記プルアッププリドライバ段の選択できる並列経路に複数の異なるプルアッププリドライバ抵抗器を挿入し、前記出力で出力信号が低電位レベルから高電位レベルへ遷移するための選択された異なる立ち上がり時間で前記出力プルアップドライバのターンオンを低速化するため前記異なるプルアッププリドライバ抵抗器の選択できる異なる並列経路間で選択し、スイッチングすることを備えた請求項9記載の方法。

【請求項11】 入力 ( $V_{in}$ ) のデータ信号に応答して

高電位レベル及び低電位レベルの出力信号を伝送する出

力 ( $V_{out}$ ) と、高電位線路 ( $V_{cc}$ ) から前記出力 ( $V_{out}$ ) に電流を供給する出カプルアップドライバトランジスタ ( $P1$ ) と、前記出力 ( $V_{out}$ ) から低電位線路 ( $GND$ ) に電流を流す出カプルダウンドライバトランジスタ ( $N1$ ) と、前記出カプルアップドライバトランジスタ ( $P1$ ) のゲート接続点に接続されたプルアッププリドライバ回路 ( $P2, N2$ ) と、前記出カプルダウンドライバトランジスタ ( $N1$ ) のゲート接続点に接続されたプルダウンドライバ回路 ( $P3, N3$ ) と、前記出力 ( $V_{out}$ ) での高電位レベルと低電位レベルの間の遷移の間出力信号の立ち上がりと立ち下がりを制御するための改善とを有する CMOS 出力バッファ回路において、

前記プルダウンドライバ回路の並列経路に接続され、前記出力 ( $V_{out}$ ) で出力信号が高電位レベルから低電位レベルへ遷移するための複数の少なくとも第一及び第二の異なる立ち下がり時間を得るための前記出カプルダウンドライバトランジスタ ( $N1$ ) のターンオンを低速化するための各抵抗値を有する複数の少なくとも第一及び第二のプルダウンドライバ抵抗器 ( $R1n, R2n, R3n$ ) と、

該プルダウンドライバ抵抗器 ( $R1n, R2n, R3n$ ) に直列にそれぞれ接続され、該プルダウンドライバ抵抗器 ( $R1n, R2n, R3n$ ) のそれぞれの並列経路を選択するためのそれぞれのスイッチトランジスタ制御入力 ( $Vs1, Vs2, Vs3$ ) を有し、それにより前記出力 ( $V_{out}$ ) で前記出力信号が高電位レベルから低電位レベルへ遷移するための異なる立ち下がり時間の一つを選択する複数の少なくとも第一及び第二のプルダウンドライバスイッチトランジスタ ( $PS1, PS2, PS3$ ) とを備えた CMOS 出力バッファ回路。

【請求項 12】 前記プルアッププリドライバ回路の並列経路に接続され、前記出力 ( $V_{out}$ ) で出力信号が低電位レベルから高電位レベルへ遷移するための複数の少なくとも第一及び第二の異なる立ち上がり時間を得るための前記出カプルアップドライバトランジスタ ( $P1$ ) のターンオンを低速化するための各抵抗値を有する複数の少なくとも第一及び第二のプルアッププリドライバ抵抗器 ( $R1p, R2p, R3p$ ) と、

該プルアッププリドライバ抵抗器 ( $R1p, R2p, R3p$ ) に直列にそれぞれ接続され、該プルアッププリドライバ抵抗器 ( $R1p, R2p, R3p$ ) のそれぞれの並列経路を選択するためのそれぞれのスイッチトランジスタ制御入力 ( $Vs1, Vs2, Vs3$ ) に接続され、それにより前記出力 ( $V_{out}$ ) で前記出力信号が低電位レベルから高電位レベルへ遷移するための異なる立ち上がり時間の一つを選択する複数の少なくとも第一及び第二のプルアッププリドライバスイッチトランジスタ ( $NS1, NS2, NS3$ ) とを備えた請求項 11 記載の CMOS 出力バッファ回路。

【請求項 13】 前記複数のプルダウンドライバ抵抗器が、並列経路に接続された第一、第二及び第三のプ

ルダウンプリドライバ抵抗器 ( $R1n, R2n, R3n$ ) を備え、前記複数のプルダウンドライバスイッチトランジスタが、第一、第二及び第三のスイッチトランジスタ制御入力 ( $Vs1, Vs2, Vs3$ ) を有する第一、第二及び第三のスイッチトランジスタ ( $PS1, PS2, PS3$ ) を備え、前記抵抗器の値が、ほぼ  $1:2:4$  の 2 進電力比シーケンスの値をそれぞれ有する第一、第二及び第三の異なる立ち下がり時間を与えるように選択された請求項 12 記載の CMOS 出力バッファ回路。

10 【請求項 14】 前記複数のプルアッププリドライバ抵抗器が、並列経路に接続された第一、第二及び第三のプルアッププリドライバ抵抗器 ( $R1p, R2p, R3p$ ) を備え、前記複数のプルアッププリドライバスイッチトランジスタが、第一、第二及び第三のスイッチトランジスタ制御入力 ( $Vs1, Vs2, Vs3$ ) を有する第一、第二及び第三のスイッチトランジスタ ( $NS1, NS2, NS3$ ) を備え、前記抵抗器の値が、ほぼ  $1:2:4$  の 2 進電力比シーケンスの時間値をそれぞれ有する第一、第二及び第三の異なる立ち上がり時間を与えるように選択された請求項 13 記載の CMOS 出力バッファ回路。

【請求項 15】 前記プルアッププリドライバ回路 ( $P2, N2$ ) 及びプルダウンドライバ回路 ( $P3, N3$ ) に接続され、前記出力 ( $V_{out}$ ) に高インピーダンスの第三の状態を実現するための 3 状態イネーブル入力 ( $OE$ ) を有する 3 状態イネーブル回路 ( $I6, P6, N6$ ) を備えた請求項 12 記載の CMOS 出力バッファ回路。

【請求項 16】 前記 3 状態イネーブル回路が、前記プルアッププリドライバ回路のプルアップトランジスタ ( $P2$ ) と並列に接続されたソース及びドレインの接続点を有する 3 状態プルアップトランジスタ ( $P6$ ) と、前記プルダウンドライバ回路のプルダウントランジスタ ( $N3$ ) と並列に接続されたソース及びドレインの接続点を有する 3 状態プルダウントランジスタ ( $N6$ ) と、前記 3 状態プルアップトランジスタ ( $P6$ ) を前記 3 状態イネーブル入力 ( $OE$ ) に接続するインバータ段 ( $I6$ ) と、更に、それぞれのプリドライバ抵抗器の並列経路を低電位及び高電位の電力線路 ( $GND, V_{cc}$ ) に対して高インピーダンスの第三の状態で封鎖するための前記プルアップ及びプルダウンドライバスイッチトランジスタ ( $NS1, NS2, NS3, PS1, PS2, PS3$ ) とそれぞれのスイッチトランジスタ制御入力 ( $Vs1, Vs2, Vs3$ ) を備えた請求項 15 記載の CMOS 出力バッファ回路。

【請求項 17】 入力 ( $V_{in}$ ) のデータ信号に応答して高電位レベル及び低電位レベルの出力信号を伝送する出力 ( $V_{out}$ ) と、高電位線路 ( $V_{cc}$ ) から前記出力 ( $V_{out}$ ) に電流を供給する出カプルアップドライバトランジスタ ( $P1$ ) と、前記出力 ( $V_{out}$ ) から低電位線路 ( $GND$ ) に電流を流す出カプルダウンドライバトランジスタ ( $N1$ ) と、前記出カプルアップドライバトランジスタ

(P1)のゲート接続点に接続されたプルアッププリドライバ回路 (P2, N2) と、前記出力プルダウンドライバトランジスタ (N1)のゲート接続点に接続されたプルダウンプリドライバ回路 (P3, N3) と、前記出力 (Vout)での高電位レベルと低電位レベルの間の遷移の間出力信号の立ち上がりと立ち下がりを制御するための改善とを有するCMOS出力バッファ回路において、

前記出力 (Vout)と前記出力プルダウンドライバトランジスタ (N1)のゲート接続点との間に接続され、前記出力カプルダウンドライバトランジスタ (N1)のターンオンを低速化するための特定のキャパシタンス値を有するプルダウンフィードバックコンデンサ (Cn) と、

前記プルダウンプリドライバ回路の並列経路に接続され、前記プルダウンフィードバックコンデンサ (Cn) と協同して前記出力 (Vout)で出力信号が高電位レベルから低電位レベルへ遷移するための複数の少なくとも第一及び第二の異なる立ち下がり時間を得るための前記出力カプルダウンドライバトランジスタ (N1)のターンオンを低速化するための各抵抗値を有する複数の少なくとも第一及び第二のプルダウンプリドライバ抵抗器 (R1n, R2n, R3n) と、

該プルダウンプリドライバ抵抗器 (R1n, R2n, R3n) に直列にそれぞれ接続され、該プルダウンプリドライバ抵抗器 (R1n, R2n, R3n) のそれぞれの並列経路を選択するためのそれぞれの制御入力 (Vs1, Vs2, Vs3) を有し、それにより前記出力 (Vout)で前記出力信号が高電位レベルから低電位レベルへ遷移するための異なる立ち下がり時間の一つを選択する複数の少なくとも第一及び第二のプルダウンプリドライバスイッチトランジスタ (PS1, PS2, PS3) とを備えたCMOS出力バッファ回路。

【請求項18】 前記出力 (Vout)と前記出力カプルアップドライバトランジスタ (P1)のゲート接続点との間に接続され、前記出力カプルアッププリドライバトランジスタ (P1)のターンオンを低速化するための特定のキャパシタンス値を有するプルアップフィードバックコンデンサ (Cp) と、

前記プルアッププリドライバ回路の並列経路に接続され、前記プルアップフィードバックコンデンサ (Cp) と協同して前記出力 (Vout)で出力信号が低電位レベルから高電位レベルへ遷移するための複数の少なくとも第一及び第二の異なる立ち上がり時間を得るための前記出力カプルアップドライバトランジスタ (P1)のターンオンを低速化するための各抵抗値を有する複数の少なくとも第一及び第二のプルアッププリドライバ抵抗器 (R1p, R2p, R3p) と、

該プルアッププリドライバ抵抗器 (R1p, R2p, R3p) に直列にそれぞれ接続され、該プルアッププリドライバ抵抗器 (R1p, R2p, R3p) のそれぞれの並列経路を選択するためのそれぞれの制御入力 (Vs1, Vs2, Vs3)

を有し、それにより前記出力 (Vout)で前記出力信号が低電位レベルから高電位レベルへ遷移するための異なる立ち上がり時間の一つを選択する複数の少なくとも第一及び第二のプルアッププリドライバスイッチトランジスタ (NS1, NS2, NS3) とを備えた請求項17記載の出力バッファ回路。

【請求項19】 前記プルアッププリドライバ回路 (P2, N2) 及びプルダウンプリドライバ回路 (P3, N3) に接続され、前記出力 (Vout)に高インピーダンスの第10三の状態を実現するための3状態イネーブル入力 (OE) を有する3状態イネーブル回路 (I6, P6, N6) を備え、該3状態イネーブル回路が、前記プルアッププリドライバ回路のプルアップトランジスタ (P2)と並列に接続されたソース及びドレインの接続点を有する3状態プルアップトランジスタ (P6)と、前記プルダウンプリドライバ回路のプルダウントランジスタ (N3)と並列に接続されたソース及びドレインの接続点を有する3状態プルダウントランジスタ (N6)と、前記3状態プルアップトランジスタ (P6)を前記3状態イネーブル入力 (OE) に接続するインバータ段 (I6)と、更に、それぞれのプリドライバ抵抗器の並列経路を低電位及び高電位の電力線路 (GND, Vcc) に対して高インピーダンスの第三の状態で封鎖するための前記プルアップ及びプルダウンプリドライバスイッチトランジスタ (NS1, NS2, NS3, PS1, PS2, PS3) とそれぞれのスイッチトランジスタ制御入力 (Vs1, Vs2, Vs3) とを備えた請求項18記載のCMOS出力バッファ回路。

【請求項20】 入力 (Vin) のデータ信号に応答して高電位レベル及び低電位レベルの出力信号を伝送する出力 (Vout)と、高電位線路 (Vcc) から前記出力 (Vout)に電流を供給する出力プルアップドライバトランジスタ (P1)と、前記出力 (Vout)から低電位線路 (GND) に電流を流す出力プルダウンドライバトランジスタ (N1)と、前記出力カプルアップドライバトランジスタ (P1)のゲート接続点に接続されたプルアッププリドライバ回路 (P2, N2) と、前記出力カプルダウンプリドライバトランジスタ (N1)のゲート接続点に接続されたプルダウンプリドライバ回路 (P3, N3) と、前記出力 (Vout)での高電位レベルと低電位レベルの間の遷移の間出力信号の立ち上がりと立ち下がりを制御するための改善とを有するCMOS出力バッファ回路において、

前記プルアッププリドライバ回路の並列経路に接続され、前記出力 (Vout)で出力信号が低電位レベルから高電位レベルへ遷移するための複数の少なくとも第一及び第二の異なる立ち上がり時間を得るための前記出力カプルアップドライバトランジスタ (P1)のターンオンを低速化するための各抵抗値を有する複数の少なくとも第一及び第二のプルアッププリドライバ抵抗器 (R1p, R2p, R3p) と、

50 該プルアッププリドライバ抵抗器 (R1p, R2p, R3p)

に直列にそれぞれ接続され、該プルアッププリドライバ抵抗器 (R1p, R2p, R3p) のそれぞれの並列経路を選択するためのそれぞれの制御入力 (Vs1, Vs2, Vs3) を有し、それにより前記出力 (Vout) で前記出力信号が低電位レベルから高電位レベルへ遷移するための異なる立ち上がり時間の一つを選択する複数の少なくとも第一及び第二のプルアッププリドライババスイッチトランジスタ (NS1, NS2, NS3) とを備えたCMOS出力バッファ回路。

【請求項21】前記プルアッププリドライバ回路が、前記プルアップドライバトランジスタ (P1) のゲート接続点に接続されたプリドライバプルアップトランジスタ (P2) 及びプリドライバプルダウントランジスタ (N2) とを備え、前記プリドライバ抵抗器 (Rp) が前記プリドライバプルダウントランジスタ (N2) に前記プリアップドライバトランジスタ (P1) のゲート接続点と前記低電位電力線路 (GND) との間で直列に接続された請求項20記載のCMOS出力バッファ回路。

【請求項22】前記出力 (Vout) と前記出力プルアップドライバトランジスタ (P1) のゲート接続点との間に接続されたプルアップフィードバックコンデンサ (Cp) を備え、該プルアップフィードバックコンデンサ (Cp) は、前記出力プルアッププリドライバトランジスタ (P1) のターンオンを低速化するための特定のキャパシタンス値を有する請求項20記載の出力バッファ回路。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、出力での低電位レベル及び高電位レベル間の出力信号遷移の異なる立ち上がり時間及び立ち下がり時間を選択できる新しいCMOS出力バッファ回路に関する。選択できる並列の経路を有するエッジ速度制御回路が、CMOS出力バッファ回路に組み込まれ、特定された異なる出力信号の立ち上がり時間及び立ち下がり時間に対応する経路を選択するためにデジタル的にアドレスされる。本発明は、特に出力信号のエッジ速度を選択的に減少できる高速高レベル駆動CMOS出力バッファ回路に適用できる。それにより本発明は、大きな論理出力数に対する高レベル静的駆動能力を維持しながら、出力バッファ回路から発生する電磁的干渉／ラジオ周波数干渉 (EMI／RFI) 雑音を減少する。

##### 【0002】

【従来の技術】入力Vinのデータ信号に応答して高電位レベルと低電位レベルの出力信号を伝送する出力Voutを有する従来のCMOS出力バッファ回路を図1に示す。出力プルアップドライバトランジスタP1は、高電位線路Vccから出力Voutへ電流を供給する。出力プルダウンドライバトランジスタN1は、出力Voutから低電位線路GNDへ電流を流す。入力Vinのデータ信号に

応答して出力プルアップドライバトランジスタP1の導通状態を制御するために、インバータ段P2, N2の形のプルアッププリドライバ回路が出力プルアップドライバトランジスタP1のゲート接続点に接続されている。入力Vinのデータ信号に応答して出力プルダウンドライバトランジスタN1の導通状態を制御するために、インバータ段P3, N3の形のプルダウンプリドライバ回路が出力プルダウンドライバトランジスタN1のゲート接続点に接続されている。

10 【0003】図1のCMOS出力バッファ回路は、3状態イネーブル信号入力OEを有する3状態出力回路である。3状態イネーブル信号入力バーOEは、直接プルダウンプリドライバ3状態トランジスタP5, N5に接続され、かつインバータI4を介してプルアッププリドライバ3状態トランジスタP4, N4に接続されている。バーOE信号が低 (OE信号が高) であるときは、3状態イネーブル回路は、プルアッププリドライバ回路及びプルダウンプリドライバ回路の通常の動作に影響を与えない。したがって、出力プルアップドライバトランジスタ、出力プルダウンドライバトランジスタ及び出力Voutは、通常の2状態モードで動作する。バーOE信号が高 (OE信号が低) であるときは、出力プルアップドライバトランジスタP1及び出力プルダウンドライバトランジスタN1は、ディスエーブルとされ出力Voutが高インピーダンスとなる。

【0004】出力Voutの高電位レベル低電位レベル間の出力信号遷移の立ち上がり時間及び立ち下がり時間は、各出力プルアップ及びプルダウンドライバトランジスタP1, N1の大きさ、すなわち各プルアップ及びプルダウンプリドライバ回路による該出力ドライバトランジスタP1, N1のスイッチング速度すなわち駆動速度と、出力Voutで充電又は放電される負荷キャパシタンスの大きさとの関数である。典型的には、出力信号のエッジ速度すなわちスルーレート及び出力信号のエッジの立ち上がり及び立ち下がり時間は、主に、出力プルアップ及びプルダウントランジスタP1, N1の出力の大きさ及びプルアップ及びプルダウンプリドライバ回路トランジスタP2, N2, P3, N3の出力の大きさにより決定される。もっと最近の進歩したCMOS出力バッファ回路

40 は、非常に高速のエッジ速度の高レベル駆動、高速出力信号を特徴としている。このような出力信号の遷移時間又はエッジ速度を制御するのに種々の回路技術が用いられている。

【0005】例えば、ジェフリー・B・デービス (Jeffrey B. Davis) の米国特許第4,961,010号では、スイッチングにより誘導される雑音を減少するのに、出力プルアップ及びプルダウントランジスタを分岐してターンオンすることにより、出力信号の遷移時間及びエッジ速度を制御している。1990年

る雑音を減少するための信号フィードフォワードを有する出力バッファ回路 (Output Buffer Circuit with Signal Feed Forward for Reducing Switching Induced Noise) 」と題するデービスの米国特許出願第483,927号では、フィードフォワード信号を用いて出力プルアップ及びプルダウントランジスタを初期に早くターンオンすることにより、遷移時間を引き伸ばし、かつエッジ速度を減少している。デービスの米国特許第5,036,222号では、出力信号のエッジの遷移時間は引き伸ばされ、又は出力で検出された電圧に応答しない。1991年9月17日に発行された「雑音対抗回路 (Anti-Noise Circuit) 」と題するアラン・シー・ロジャース (Alan C. Rogers) の米国特許第5,049,763号では、各出力ドライバトランジスタの制御ゲート経路に接続された能動可変抵抗器として機能する雑音対抗トランジスタにより出力ドライバトランジスタのターンオンを圧縮できる。雑音対抗トランジスタの導電性は、検出した電力線路の雑音と逆相に変化し、接地からの跳ね返り又は該電力線路のV<sub>cc</sub>のだれに応答して立ち上がり又は立ち下がり時間を有効に制御する。

【0006】また、スルーレートを制御するためのフィードバックコンデンサが線形バッファ回路に用いられている。しかし、このような線形バッファ回路は、マイクロ秒 (μs) の次元の非常に遅いエッジ速度を有する演算増幅器であり、マイクロファラッド (μF) の次元のフィードバックキャパシタンスを用いている。出願人の知識では、高速スイッチングデジタル回路のエッジ速度の制御には用いられておらず、用いる場合にも多くは大きさの小さいピコファラッド (pF) の次元のものである。このようなデジタル回路には、デジタル的にアドレスでき、エッジ速度を選択できる制御回路もまた組み入れられていなかった。

#### 【0007】

【発明が解決しようとする課題】出力での高電位レベル低電位レベル間の出力信号の遷移の異なる立ち上がり及び立ち下がり時間を選択できるCMOS出力バッファ回路を提供することが本発明の目的の一つである。

【0008】例えば該出力バッファ回路で発生するEMI/RFI雑音を最小にするための用途に従って、出力信号のエッジの異なる遷移時間を選択するためのデジタル的にアドレスできるエッジ速度制御回路を提供することが本発明の他の目的である。

【0009】大きな論理出力数を駆動する高レベル静的駆動能力を維持しながら、異なる立ち上がり及び立ち下がり時間を選択できるCMOS出力バッファ回路を提供することが本発明のもう一つの目的である。

#### 【0010】

【課題を解決するための手段】これらの成果を得るため

に、プルダウンプリドライバ段に接続された少なくとも1個のプルダウンプリドライバ抵抗器を本発明は提供する。出力で高電位レベルから低電位レベルへ出力信号が遷移する立ち下がり時間を制御するための出力プルダウンプリドライバのターンオンを低速にするように該プルダウンプリドライバ抵抗器の抵抗値が選択される。また、出力カプルダウンドライバの出力と制御ゲート接続点との間に独立したプルダウンフィードバックコンデンサを接続してもよい。該プルダウンフィードバックコンデンサのキャパシタンス値は、出力カプルダウンドライバのターンオンを低速にするためのプルダウンプリドライバ抵抗器と共に所望のRC時定数を与えるように選択される。

【0011】本発明によれば、プルアッププリドライバ段に接続された少なくとも1個のプルアッププリドライバ抵抗器を出力バッファ回路が組み込んでよい。出力で低電位レベルから高電位レベルへ出力信号が遷移する立ち上がり時間を制御するための出力プルアップドライバのターンオンを低速にするように該プルアッププリドライバ抵抗器の抵抗値が選択される。出力プルアップドライバの出力と制御ゲート接続点との間に独立したプルアップフィードバックコンデンサを接続してもよい。該プルアップフィードバックコンデンサのキャパシタンス値は、出力カプルアップドライバのターンオンを低速にするためのプルアッププリドライバ抵抗器と共に所望のRC時定数を与えるように選択される。

【0012】一実施例において、本発明は、プルダウンプリドライバ回路中の並列経路に接続された複数の少なくとも第一及び第二のプルダウンプリドライバ抵抗器を提供する。該プルダウンプリドライバ抵抗器は、出力プルダウンドライバトランジスタのターンオンを低速にし、出力で出力信号が高電位レベルから低電位レベルに遷移する複数の少なくとも第一及び第二の異なる立ち下がり時間を得るように選択された抵抗値をそれぞれ有する。複数の少なくとも第一及び第二のプルダウンプリドライバスイッチトランジスタが前記プルダウンプリドライバ抵抗器に直列に接続されている。該スイッチトランジスタは、デジタルアドレス処理によりプルダウンプリドライバ抵抗器のそれぞれの並列経路を選択するスイッチトランジスタ制御入力をそれぞれ有する。したがつて、出力で出力信号が高電位レベルから低電位レベルに遷移するための異なる立ち下がり時間を選択できる。

【0013】また、本発明は、プルアッププリドライバ回路中の並列経路に接続された複数の少なくとも第一及び第二のプルアッププリドライバ抵抗器を提供する。該プルアッププリドライバ抵抗器は、また、出力カプルアップドライバトランジスタのターンオンを低速にし、出力で出力信号が低電位レベルから高電位レベルに遷移する複数の少なくとも第一及び第二の異なる立ち上がり時間を得るように選択された抵抗値をそれぞれ有する。複数の少なくとも第一及び第二のプルアッププリドライバ

イッチトランジスタが前記プルアッププリドライバ抵抗器に直列にそれぞれ接続されている。該スイッチトランジスタは、またディジタルアドレス処理によりプルアッププリドライバ抵抗器のそれぞれの並列経路を選択する各スイッチトランジスタ制御入力に接続されている。したがって、出力で出力信号が低電位レベルから高電位レベルに遷移するための異なる立ち上がり時間を選択できる。

【0014】本実施例によれば、複数のプルダウンプリドライバ抵抗器は、第一、第二及び第三のスイッチトランジスタ制御入力を有する第一、第二及び第三のスイッチトランジスタに並列経路で接続された第一、第二及び第三のプルダウンプリドライバ抵抗器から成る。抵抗値は、2進電力比シーケンスでそれぞれの値を有する第一、第二及び第三の異なる立ち上がり時間を与えるように選択される。

【0015】同様に、複数のプルアッププリドライバ抵抗器は、第一、第二及び第三のスイッチトランジスタ制御入力にそれぞれ接続された第一、第二及び第三のスイッチトランジスタに並列経路で接続された第一、第二及び第三のプルアッププリドライバ抵抗器から成る。抵抗値は、2進電力比シーケンスでそれぞれの時間値を有する第一、第二及び第三の異なる立ち上がり時間を与えるように選択される。

【0016】本実施例においては、CMOS出力バッファ回路は、プルアップ及びプルダウンプリドライバ回路に接続され、出力の高インピーダンスの第3の状態を実現する3状態イネーブル入力を有する3状態イネーブル回路で構成される。該3状態イネーブル回路は、プルアッププリドライバ回路のプルアップトランジスタに並列に接続されたソースとドレインの接続点を有する3状態プルアップトランジスタを含む。3状態プルダウントランジスタがプルダウンプリドライバ回路のプルダウントランジスタに並列にソースとドレインの接続点を接続されている。さらに、該3状態イネーブル回路は、プルアップ及びプルダウンプリドライバスイッチトランジスタと各スイッチトランジスタの制御入力とを利用していい。該制御入力は、プリドライバ抵抗器の並列経路を低及び高電位の電力線路に対して高インピーダンスの第3の状態に封鎖するように処理される。

【0017】出力プルアップドライバトランジスタの出力とゲート接続点との間にプルアップフィードバックコンデンサを接続してもよい。該プルアップフィードバックコンデンサは、出力プルアップドライバトランジスタのゲートキャパシタンスを増大させ、出力で低電位レベルから高電位レベルへ出力信号が遷移する所望の立ち上がり時間を得るために、選択されたプルアッププリドライ

バ抵抗器と共に動作する。

【0018】また、出力プルダウンドライバトランジスタの出力とゲート接続点との間にプルダウンフィードバックコンデンサを接続してもよい。該プルダウンフィードバックコンデンサのキャパシタンス値は、出力プルダウンドライバトランジスタのターンオンを低速にするように選択される。該プルダウンフィードバックコンデンサは、出力プルダウンドライバトランジスタのゲートキャパシタンスを増大させ、出力で高電位レベルから低電位レベルへ出力信号が遷移する所望の立ち下がり時間を得るために、選択されたプルダウンプリドライバ抵抗器と共に動作する。

【0019】本発明の他の目的、特徴と利点は、以下の明細と添付した図面から明らかである。

#### 【0020】

【実施例】本発明による制御されたエッジ速度を有するCMOS出力バッファ回路を図2に示す。図1の回路構成要素と同一の又は同様の機能を果たす回路要素には同一の参照符号を付して表示する。これらの共通の要素に加えて、プルアップフィードバックコンデンサCpが、出力Voutと出力プルアップドライバトランジスタP1のゲート接続点との間に接続されている。該プルアップフィードバックコンデンサCpは、出力プルアッププリドライバトランジスタP1のターンオンを低速化するように選択されたキャパシタンスを有している。例として、3600μのゲート幅すなわちチャンネル幅を有するプルアップドライバトランジスタP1に対して、P1のゲートキャパシタンス及び有効なミラーフィードバックキャパシタンスを増大するために、Cpのキャパシタ

30 ンス値として1.7pFを用いてよい。

【0021】プルダウンフィードバックコンデンサCnが、出力Voutと出力プルダウンドライバトランジスタN1のゲート接続点との間に接続されている。1600μのチャンネル幅を有するプルダウンドライバトランジスタN1に対して、N1のターンオンを低速化するためN1のゲートキャパシタンス及び有効なミラーフィードバックキャパシタンスを増大するために、Cnのキャパシタンス値として1.7pFを用いてよい。該プルアップ及びプルダウンフィードバックコンデンサCp、

40 Cnは、スイッチング期間中各出力トランジスタのソース対ゲート電圧VGSのランピング時の過渡電圧のクランプとして動作する。電圧VGSのランピングは、遷移の間に平滑にされ、各出力トランジスタのターンオンを低速化する。

【0022】プルアッププリドライバ抵抗器Rpが、プルアッププリドライバ回路に付け加えられ、P1のゲート接続点と低電位電力線路GNDとの間にプリドライバプルダウントランジスタN2と直列に接続される。プルアッププリドライバ抵抗器Rpの抵抗値は、P1のターンオンを低速化し、出力Voutで出力信号を低電位レベ

50 ル化する。

ルから高電位レベルへ遷移させるのにプルアップファイードバックコンデンサ  $C_p$  と共に特定の立ち上がり時間を得るように選択される。プルアッププリドライバ抵抗器  $R_p$  の例とする値は、いかに表1]を参照して説明する。

【0023】プルダウンプリドライバ抵抗器  $R_n$  が、プルダウンプリドライバ回路に付け加えられ、N1 のゲート接続点と高電位電力線路  $V_{cc}$  との間にプリドライバプルアップトランジスタ  $P_3$  と直列に接続される。プルダウンプリドライバ抵抗器  $R_n$  の抵抗値は、N1 のターンオンを低速化し、出力  $V_{out}$  で出力信号を高電位レベルから低電位レベルへ遷移させるのにプルダウンフィードバックコンデンサ  $C_n$  と共に特定の立ち下がり時間を得るように選択される。プルアップ及びプルダウンプリドライバ抵抗器  $R_p$ 、 $R_n$  は、所望の特性をもった立ち上がりエッジ又は立ち下がりエッジの時定数のために、各ファイードバックコンデンサ  $C_p$ 、 $C_n$  及び  $P_1$ 、 $N_1$  の各ゲートキャパシタンスと共にRC回路を形成することに注意すべきである。

【0024】図3の実施例の場合、複数のプルアッププリドライバ抵抗器、この場合は  $R_{1p}$ 、 $R_{2p}$  及び  $R_{3p}$  がプルアッププリドライバプルダウントランジスタ  $N_2$  と直列にプルアッププリドライバ回路の並列経路に接続されている。出力  $V_{out}$  で出力信号が低電位レベルから高電位レベルへ遷移する複数の第一、第二及び第三の異なる立ち上がり時間を得るために、プルアッププリドライバ抵抗器に異なる抵抗値が選択されている。プルアッププリドライバ抵抗器  $R_{1p}$ 、 $R_{2p}$ 、 $R_{3p}$  と直列にそれぞれプリドライバスイッチトランジスタ  $N_{S1}$ 、 $N_{S2}$ 、 $N_{S3}$  が接続されている。インバータ段11、12、13を介してスイッチトランジスタ  $N_{S1}$ 、 $N_{S2}$ 、 $N_{S3}$  にそれぞれ接続された制御入力  $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$  により、スイッチトランジスタがプルアッププリドライバ抵抗器の各並列経路を選択するデジタル的指定が可能となる。それにより、出力で出力信号が低電位レベルから高電位レベルへ遷移する複数の異なる利用できる立ち上がり時間からその一つが選択される。複数のプルダウンプリドライバ抵抗器、この場合は  $R_{1n}$ 、 $R_{2n}$  及び  $R_{3n}$  がプルダウンプリドライバプルアップトランジスタ  $P_3$  と直列にプルダウンプリドライバ回路の並列経路に接続されている。出力  $V_{out}$  で出力信号が高電位レベルから低電位レベルへ遷移する複数の第一、第二及び第三の異なる立ち下がり時間を提供するために、プルダウンプリドライバ抵抗器の抵抗値が選択されている。

【0025】プルダウンプリドライバ抵抗器  $R_{1n}$ 、 $R_2$

$n$ 、 $R_{3n}$  とそれぞれ直列にプルダウンプリドライバスイッチトランジスタ  $P_{S1}$ 、 $P_{S2}$ 、 $P_{S3}$  が接続されている。スイッチトランジスタ  $P_{S1}$ 、 $P_{S2}$ 、 $P_{S3}$  のゲート接続点は直接に制御入力  $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$  に接続され、出力  $V_{out}$  で出力信号が高電位レベルから低電位レベルへ遷移する異なる立ち下がり時間を選択するため、プルダウンプリドライバ抵抗器の各並列経路を選択する。

【0026】図2及び3に示すように、プルアップ及び10 プルダウンプリドライバ抵抗器は、各プリドライバプルアップ及びプルダウントランジスタの主電流経路に直列に接続されていることが明らかである。すなわち、プルアップ及びプルダウンプリドライバ抵抗器は、制御ゲート経路よりもむしろ各プルアップ及びプルダウントランジスタのソース／ドレイン電流経路に接続されている。プリドライバスイッチトランジスタは、同様に、各プリドライバプルアップ又はプルダウントランジスタの主電流経路の主ソース／ドレイン経路に接続されている。

【0027】図3のCMOS出力バッファ回路で異なる20 エッジ速度又は立ち上がり及び立ち下がり時間を選択するため各制御入力  $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$  をアドレスするためのコードの組の例を表1]に示す。インバータ段11、12、13のために、プリドライバ抵抗器の並列経路の能動経路は、制御入力  $V_{s1}$ 、 $V_{s2}$ 、 $V_{s3}$  でのアクティブプロ一入力により選択される。

【0028】また、図3のエッジ速度を選択できるCMOS出力バッファ回路のスイッチトランジスタ  $N_{S1}$ 、 $N_{S2}$ 、 $N_{S3}$ 、 $P_{S1}$ 、 $P_{S2}$ 、 $P_{S3}$  は3状態イネーブル回路の一部として用いられている。3状態イネーブル

30 入力  $O_E$  は、プルアッププリドライバ回路のプルアップトランジスタ  $P_2$  と並列に接続された3状態プルアップトランジスタ  $P_6$  にインバータ段16を介して接続されている。また、3状態イネーブル入力  $O_E$  は、プルダウンプリドライバ回路のプルダウントランジスタ  $N_3$  に並列に接続された3状態プルダウントランジスタ  $N_6$  に直接に接続されている。3状態トランジスタ  $P_6$ 、 $N_6$  は、出力  $V_{out}$  で高インピーダンスの3状態を実現するためのディスエーブル回路の一部を形成する。

【0029】前記スイッチトランジスタは、出力プルアップ及びプルダウントランジスタ  $P_1$ 、 $N_1$  のゲート接続点から各電力線路  $GND$ 、 $V_{cc}$  へ経路を封鎖することにより3状態イネーブル回路を完成させる。

【0030】

【表1】

表 I

	O E	V <sub>s1</sub>	V <sub>s2</sub>	V <sub>s3</sub>
低速	0	0	1	1
中速	0	1	0	1
高速	0	1	1	0
3状態	1	1	1	1

【0031】図3の回路の動作する要素の値の組の例を表II及びIIIに示す。高レベル、高速度CMOS出力バッファ回路の動作するトランジスタゲート幅すなわちチャンネル幅の代表的値が表IIに示されている。この例では、トランジスタの大きさの組のブリドライバ抵抗器及びフィードバックコンデンサの適当な値が表IIに示されている。これらの値により、各3個の並列経路に、それぞれR1の経路に対しては1.2nS、R2の経路に対しては2nS、R3の経路に対しては4.5nSの立ち上がり時間及び立ち下がり時間が発生する。かくして、好ましい実施例の値により、2進電力比シーケンスの値がほぼ1:2:4である第一、第二及び第三の異なる立ち下がり時間又は立ち上がり時間が与えられる。

【0032】

【表2】

【0033】

【表3】

20

表 II

MOSトランジスタ	チャネル幅の例
P 1	3600μ
N 1	1600μ
P 2	400μ
N 2	290μ
P 3	300μ
N 3	200μ
PS 1	300μ
PS 2	300μ
PS 3	300μ
NS 1	290μ
NS 2	290μ
NS 3	290μ
P 6	200μ
N 6	80μ

30

40

表 III

抵抗器／コンデンサ	値の例
R <sub>1P</sub>	28Ω
R <sub>2P</sub>	145Ω
R <sub>3P</sub>	540Ω
R <sub>1N</sub>	55Ω
R <sub>2N</sub>	250Ω
R <sub>3N</sub>	1070Ω
C <sub>P</sub>	1.7pF
C <sub>N</sub>	1.7pF

【0034】図3の回路の動作を、更に図4、5及び6のグラフを用いて説明する。選択されたプリドライバ抵抗器による出力接続点V<sub>out</sub>の出力電圧信号のグラフを図4に示す。R<sub>3</sub>経路の選択は、ほぼ4.5nSの低速エッジ速度と遷移時間とを選択する。R<sub>2</sub>経路の選択は、ほぼ2nSの中速エッジ速度と遷移時間とを選択する。R<sub>1</sub>プリドライバ抵抗器経路の選択は、ほぼ1.2nSの高速エッジ速度と遷移時間とを選択する。

【0035】出力プルアップ及びプルダウンドライバトランジスタP<sub>1</sub>、N<sub>1</sub>のゲート接続点での対応する電圧信号V<sub>G</sub>を図5に示す。図5のグラフから、出力ドライバトランジスタの一つがアクティブとなりターンオンしている間、本発明のエッジ速度制御回路は他方の非アクティブのドライバトランジスタのターンオフに影響を与えないことが明らかである。かくして、各プリドライバ抵抗器は、それぞれのプリドライバ回路に置かれ、それらは出力ドライバトランジスタのターンオンのみに影響を与え、出力ドライバトランジスタのターンオフには影響を与えない。

【0036】出力接続点V<sub>out</sub>での高電位レベルから低電位レベルへ遷移する立ち下がりに対するフィードバックコンデンサC<sub>P</sub>、C<sub>N</sub>だけの影響を図6に示す。フィードバックコンデンサC<sub>N</sub>を有する場合と有しない場合の両者のプルダウンプリドライバトランジスタN<sub>1</sub>のゲート接続点でのゲート電圧V<sub>G</sub>の間の差をグラフ的に示す。フィードバックコンデンサを有する場合と有しない場合の両者の出力接続点V<sub>out</sub>での出力電圧信号の立ち下がりエッジ速度に対する影響も明らかである。一方で、非アクティブの出力プルアップトランジスタP<sub>1</sub>に対しては、P<sub>1</sub>のターンオフ時に大した影響は存在しない。

【0037】図3の例では、エッジ速度を選択できるCMOS出力バッファ回路は、独立のフィードバックを増

大させるコンデンサC<sub>P</sub>、C<sub>N</sub>を用いずに構成することができる。そこで、出力プルアップ及びプルダウントランジスタP<sub>1</sub>、N<sub>1</sub>のゲートキャパシタンスが、選択されたプルアップ及びプルダウンプリドライバ抵抗器と共に所望の結果を得るように選択される。本発明は特定の実施例を参照して説明して来たが、添付の特許請求の範囲のすべての変形と均等物とを含むように意図されている。

【0038】  
【発明の効果】本発明によれば、大きな論理出力数を駆動する高レベル静的駆動能力を維持しながら、出力信号の遷移の異なる立ち上がり及び立ち下がり時間を選択でき、例えば出力バッファ回路で発生するEMI/RFI雑音を最小にできる。

【図面の簡単な説明】  
【図1】標準的な従来技術のCMOS出力バッファ回路の概略回路図である。

【図2】本発明による制御されたエッジ速度を有する出力バッファ回路の概略回路図である。

【図3】異なる特定の出力信号の立ち上がり及び立ち下がり時間を選択するようにデジタル的に指令されたエッジ速度制御回路を有し、エッジ速度を選択できるCMOS出力バッファ回路の概略回路図である。

【図4】図3のCMOS出力バッファ回路の3本の異なるプリドライバ抵抗器の並列経路に対応する3個の異なるエッジ速度及び立ち上がり及び立ち下がり時間を示す出力接続点V<sub>out</sub>での時間に対する出力信号電圧のグラフである。

【図5】3個の異なるエッジ速度及び高速、中速及び低速のプリドライバ抵抗器の並列経路に対応する立ち上がり及び立ち下がり時間に対する各プルアップ及びプルダウンドライバトランジスタP<sub>1</sub>、N<sub>1</sub>のゲート接続点での時間に対するゲート接続点の電圧のグラフである。

【図6】 プルアップ及びプルダウンフィードバックコンデンサ  $C_p, C_n$  を用いた場合と用いない場合の各出力 プルアップ及びプルダウンドライブトランジスタ  $P_1, N_1$  のゲート接続点及び図1の回路による固定した抵抗 値を有する出力接続点  $V_{out}$  での時間に対する信号電圧 のグラフである。

### 【符号の説明】

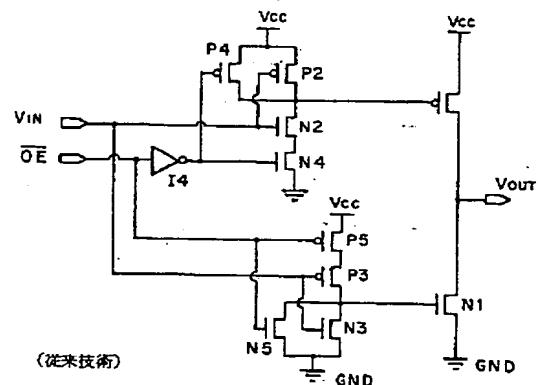
Vout 出力

## P1 出力プルアップドライバ

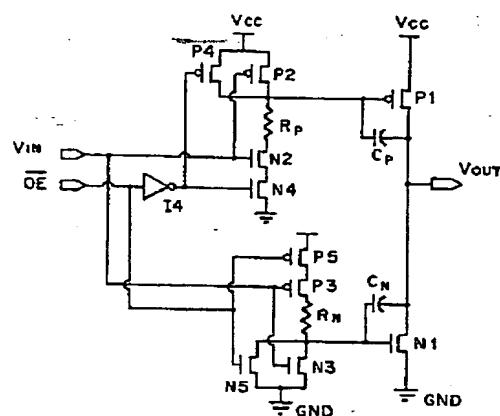
## N1 出力プルダウンドライバ

## P2. N2 プルアッププリドライバ段

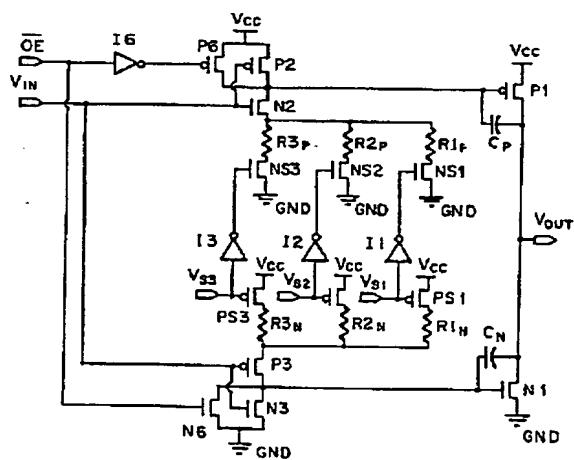
【圖 1】



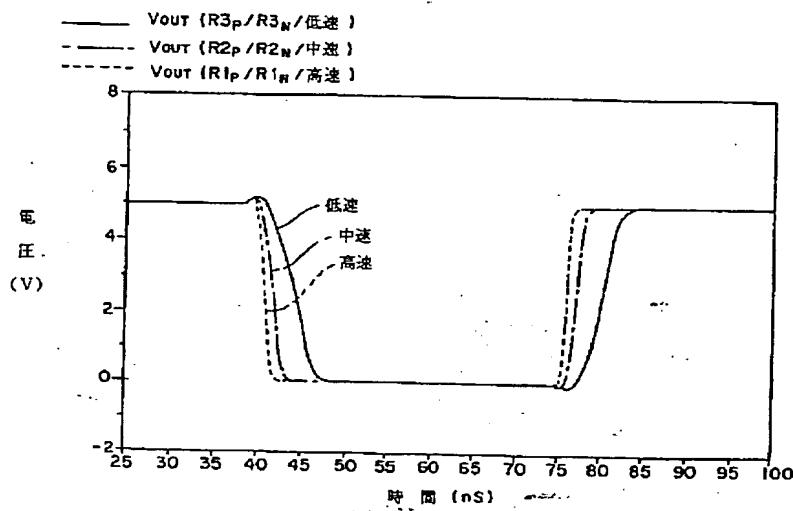
【図2】



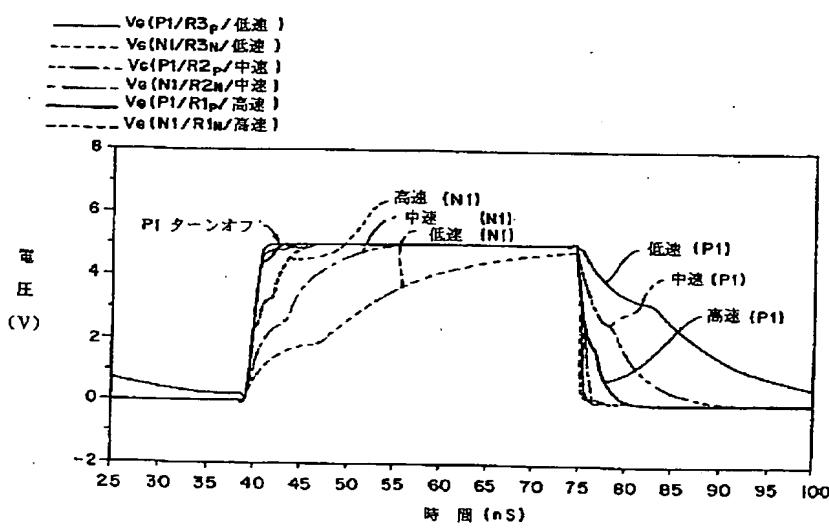
[图 3]



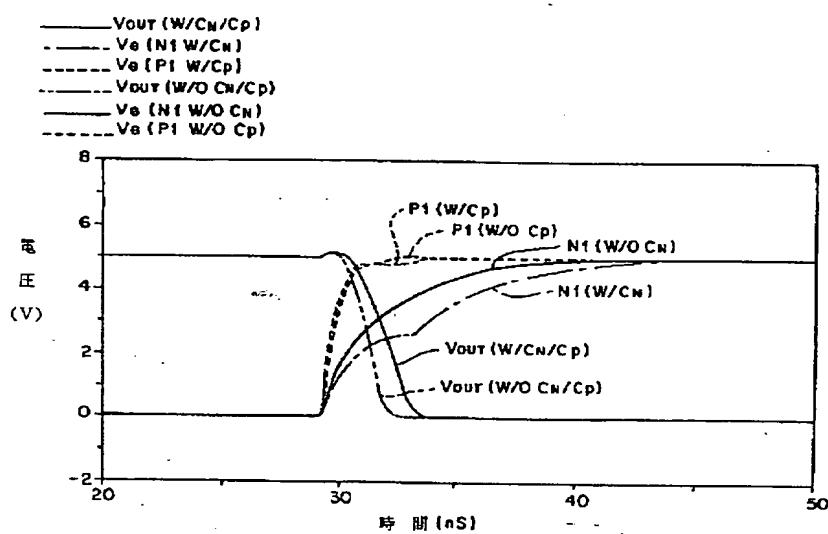
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.5

識別記号 庁内整理番号

F 1

技術表示箇所

H 03 K 19/003

Z 8941-5 J